

文章编号:1007-2780(2015)04-0647-08

基于 FPGA 的 TFT 液晶显示时序控制器设计

陈建军^{1,2}, 金强宁^{1,2*}, 章 鹏^{1,2}, 刘凯丽^{1,2}

(1. 国家平板显示工程技术研究中心, 江苏 南京 210016;

2. 中国电子科技集团公司第五十五研究所, 江苏 南京 210016)

摘要:针对某些仅绑定栅源驱动芯片而没有时序控制电路的液晶显示面板,设计了一款基于 FPGA 的 SOPC 嵌入式系统的时序控制器。它利用 FPGA 的逻辑电路实现 LVDS 视频信号的解码、灰阶扩展、RSDS 信号编码、显示控制时序转换等功能,并通过 FPGA 中 Nios II 软核的串行口设置参数,编程 GAMMA 及 VCOM 电压,参数具有掉电保护功能。时序控制器中还增加了 BIT 检测电路,可实时查询电路运行状态。该时序控制器电路集成度高、功耗低,结构简单,适合特殊应用,具有较高使用价值。

关键词: TFT 液晶显示;时序控制器;FPGA;SOPC;BIT

中图分类号: TN141 **文献标识码:** A **doi:**10.3788/YJYXS20153004.0647

FPGA-based TFT LCD timing controller design

CHEN Jian-jun^{1,2}, JIN Qiang-ning^{1,2*}, ZHANG Peng^{1,2}, LIU Kai-li^{1,2}

(1. *National Engineering Research Center for FPDs, Nanjing 210016, China;*

2. *The 55th Research Institute of China Electronics Technology Group Corporation, Nanjing 210016, China*)

Abstract: A FPGA-based SOPC embedded system timing controller is designed for some LCD panel driver chips which only bonding with source and gate circuits. It uses FPGA logic circuits to implement the functions such as LVDS video signal decoding, grayscale expansion, RSDS signal encoding, and control timing conversion display. Through the serial port setup parameters in FPGA soft-core Nios II, GAMMA and VCOM voltage can be programmed. Those parameters have power-down protection. The timing controller also adds BIT detection circuit which check the operation status in real-time. This high integration, low power consumption, simple structure timing controller circuit is suitable for special applications with high use value.

Key words: TFT-LCD; timing controller; FPGA; SOPC; BIT

1 引言

在当今信息社会,彩色 TFT (Thin Film Transistor) 液晶显示器已经广泛地应用在我们生活的各个方面,液晶显示面板的制造技术不断完善成熟,已形成标准化、规范化的电气接口形式,如低电压差分信号 LVDS(Low Voltage Differential Signaling)、bit 位数字 RGB 信号等。近来,随着液晶显示面板集成度越来越高,栅源驱动芯片 Source driver 与 Gate driver 均绑定在玻璃面板上,导致与面板的电气接口发生根本性改变。时序控制器(Timing controller)作为液晶显示器的核心部分之一,对液晶显示系统的正常工作起着关键的作用,它为液晶显示器前级电路与液晶面板之间提供桥接,接收并处理前级电路输出的标准数字视频信号,产生特定的时序信号控制液晶面板正常工作。目前,国内、外各液晶面板厂商设计的时序控制电路通常采用商用专用控制芯片,这样时序控制电路只适合专一的液晶面板使用。本设计采用工业级 FPGA(Field Programmable Gate Array)来实现商用控制芯片的所有功能,同时集成了状态 BIT(Built In Test)检测及参数可编程设置等功能,能满足特殊应用场合苛刻环境下的可靠性要求。而且,硬件电路的通用化设计可以适应不同厂商、不同规格的液晶面板。

2 液晶显示面板

图 1 为一款典型的仅绑定栅源驱动芯片而没有时序控制电路的彩色液晶显示面板结构,本文针对该款显示面板展开时序控制电路设计^[1]。

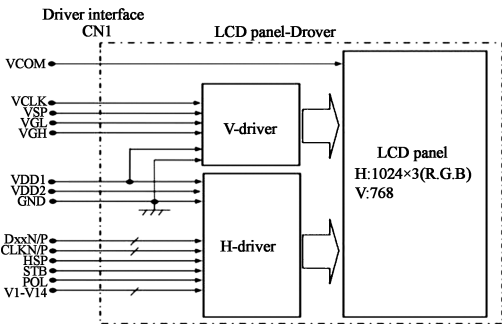


图 1 液晶显示面板的结构框图
Fig. 1 Block diagram of LCD panel

- 液晶显示面板基本参数:
- 分辨率:1 024(H)× 768(V)
 - 显示颜色:RGB
 - 显示灰阶:每色 64 级,262144 级色阶
 - 电气接口:
 - 数据、扫描及控制通道:RSDS(Reduced Swing Differential Signaling)低摆幅差分信号,扫描时钟、水平垂直扫描起始脉冲、水平垂直方向控制、差分信号极性控制、数字锁存脉冲等;
 - 芯片支持电压;
 - VCOM 电压和 GAMMA 电压($V_{y1} \sim V_{y14}$)。

3 时序控制电路设计

图 2 为时序控制电路结构框图。

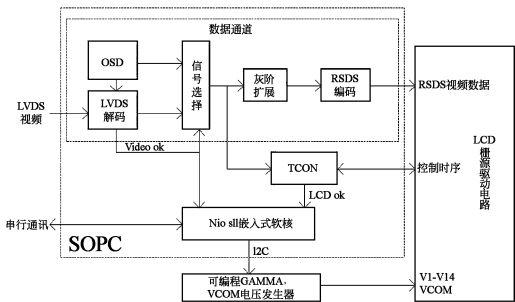


图 2 时序控制电路结构方框图
Fig. 2 Block diagram of timing controller circuit

时序控制电路^[2-4]采用基于 Altera 公司 FPGA 的 SOPC(System On Programmable Chip)技术来实现^[5-6],它由数据处理通道、显示控制时序变换、驱动电压发生器及嵌入式 NiosII 软核^[7]等部分组成。

3.1 数据处理通道

数据处理通道在 FPGA 内实现,它由 LVDS 解码电路、灰阶扩展及 RSDS 输出接口电路等部分构成。

3.1.1 LVDS 解码电路

LVDS 接口是为了解决 TTL 电平方式传输宽带高码率数据时功耗大、电磁辐射大等缺点,由美国国家半导体公司研制的一种数字视频传输方式,在液晶面板上得到了广泛的应用。本文所设计的时序控制器接收单路四通道 8 bit LVDS 视频信号,同时兼容 VESA LVDS 信号格式和 JEI-DA LVDS 信号格式。

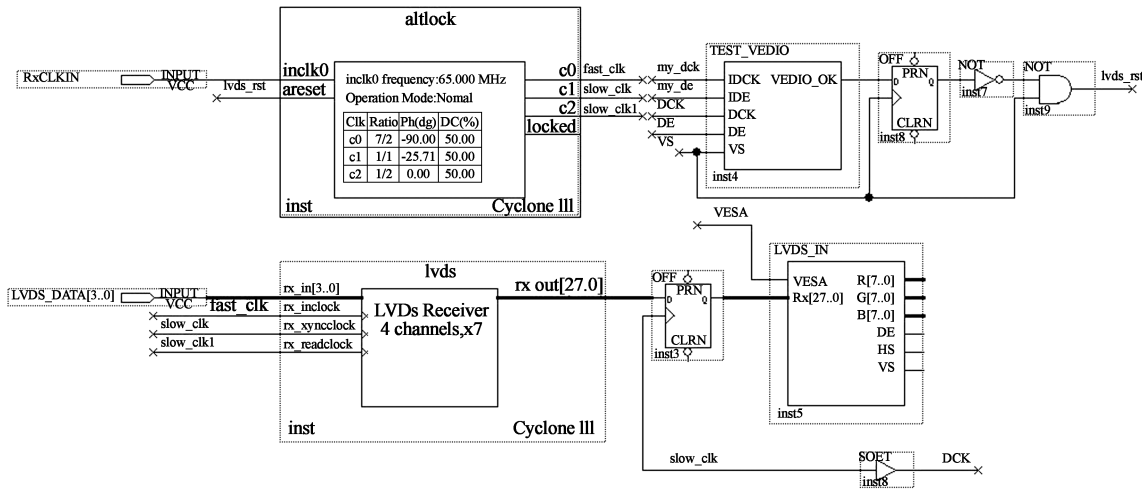


图 3 LVDS 解码电路
Fig. 3 Decoding logic for lvds

LVDS 解码电路如图 3 所示。

外部 65 MHz 的 LVDS 时钟 RxCLKIN 接入锁相环(PLL)IP 核,根据 LVDS 时钟与数据的相位关系,产生 3 个时钟:

- fast_ck: 频率为 227.5 MHz, 相位为 -90° 。
- slow_ck: 频率为 65 MHz, 相位为 -25.71° 。
- slow_ck1: 频率为 32.5 MHz, 相位为 0° 。

四通道 LVDS 视频数据接入 LVDS 解串行化器(LVDS SERDES),设置数据通道为 4, SERDES 因子为 7,选择外部锁相环。分别将 PLL 产生的 fast_ck 接至解串行化器的 rx_inclock, slow-ck 接至解串行化器的 rx_synclock, slow_ck1 接至解串行化器的 rx_readclock。解串行化器输出 28 位含有视频数据和时序信号的并行数据,slow_ck 作为输出的点时钟 DCK。

目前有两种流行的 LVDS 编码格式,一种是 VESA 标准^[8],另一种为 JEIDA 标准^[9],两种编码的 Data Mapping 不同。LVDS_IN 模块根据外部输入信号格式标准,从 28 位并行数据中译码出红,绿,蓝视频数据和时序信号 HS, VS, DE。为了使时序控制器可以兼容 6 bit/8 bit VESA 及 8 bit JEIDA 三种视频输入格式,在 LVDS_IN 模块的设计中,当 VESA 脚电平为高时,采用 8 bit VESA 编码,VESA 脚为低电平时采用 6 bit VESA 或 8 bit JEIDA 编码,6 bit VESA 与 8 bit JEIDA 编码是兼容的,当外部输入的第四对 LVDS 差分数据线使用时是 8 bit 视频数据,否则是 6 bit 数据。

LVDS_IN 模块用硬件描述语言 Verilog 编写,程序清单如下:

```
Module LVDS_IN (VESA, RxIN, R, G, B, HS, VS, DEN);  
input VESA;  
input[27:0] RxIN;  
output[7:0] R, G, B;  
output HS, VS, DEN;  
reg[7:0] R, G, B;  
reg HS, VS, DEN;  
always @(VESA)  
begin  
    case (VESA)  
        1'b1://VESA  
        begin  
            R<={RxIN[22],RxIN[21],RxIN[5:0]};  
            G<={RxIN[24],RxIN[23],RxIN[11:6]};  
            B<={RxIN[26:25],RxIN[17:12]};  
            HS<=RxIN[18];  
            VS<=RxIN[19];  
            DEN<=RxIN[20];  
        end  
        1'b0://JEIDA  
        begin  
            R<={RxIN[5:0], RxIN[22:21]};  
            G<={ RxIN[11:6],RxIN[24:23]};  
            B<={RxIN[17:12,RxIN[26:25]};
```

```
HS<=RxIN[18];
VS<=RxIN[19];
DEN<=RxIN[20];
end
default://VESA
begin
R<={RxIN[22:21],RxIN[5:0]};
G<={RxIN[24:23],RxIN[11:6]};
B<={RxIN[26:25],RxIN[17:12]};
HS<=RxIN[18];
VS<=RxIN[19];
DEN<=RxIN[20];
end
endcase
end
endmodule
```

3.1.2 灰阶扩展

时序控制器的外部接口为 RGB 各 8 bit 视频数据,而显示屏的源驱动器为 6 bit,我们采用了 PD+FRC 算法来实现显示器的灰阶扩展^[10-13],使显示屏具有 253×253×253 种颜色体现能力。PD(Pixel Dithering)技术是指用交替的点图案去模拟在显示器中不能使用的颜色的过程。采用不同的真实灰阶实现亮度融合,产生感应灰阶。FRC(Frame Race Control)是为了消除静态抖动算法引起的条纹效应,更好地还原图像质量,使显示的图像平滑柔和,利用人眼视觉惰性而实现的动态抖动算法。算法示意图如图 4 所示。

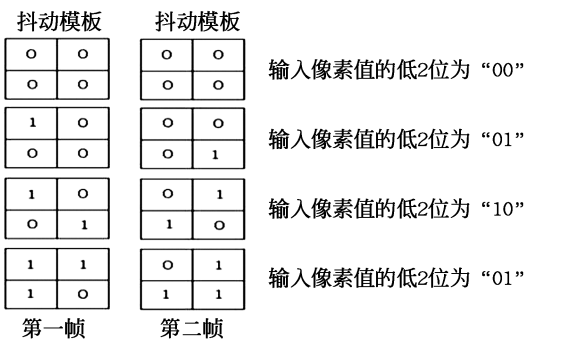


图 4 2 bit Bayer 动态抖动矩阵

Fig. 4 2 bit Bayer dynamic dithering matix

由图 4 可以看出,动态抖动算法为了消除固定抖动模板引起的条纹效应,采用隔帧变换抖动模板的方法,在时域上,由于抖动矩阵的循环变

换而导致不同帧在抖动后的图案中同一位置处的像素明暗轮出现,但图像的灰度保持不变,条纹效应被平均。

根据上述算法,在 FPGA 内用图形输入法实现的电路如图 5 所示。

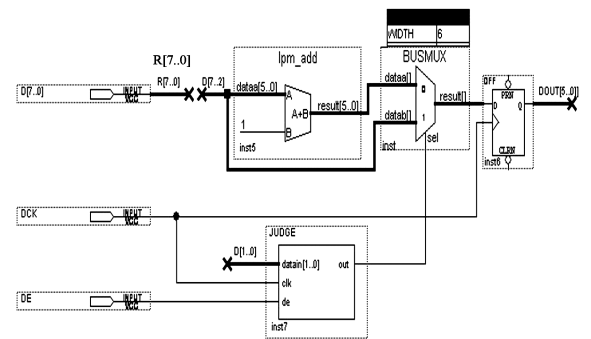


图 5 用 FPGA 实现 FRC+PD 算法的电路图

Fig. 5 Logic in FPGA for implementing FRC + PD algorithm

3.2 RSDS 编码

时序控制器采用 RSDS 接口驱动液晶面板的源极驱动器。RSDS 接口有诸多优点,包括低功耗、低压差分摆幅以及低电磁辐射等。RSDS 按串行模式传送数据,信号触发是双沿的,数据应进行倍速编码。根据面板的接口要求,每种基色的 6 bit 数据编码成三对 RSDS 差分对,全彩色视频数据编码成 9 对差分数据信号及一对时钟信号。数据倍速编码电路如图 6 所示。

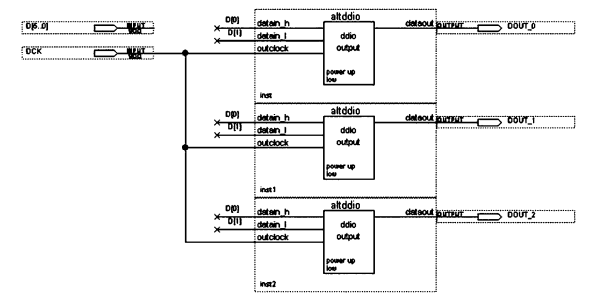


图 6 数据倍速编码电路

Fig. 6 Double data rate logic for image data

电路中采用了 Altera 的双数据速率 I/O IP 核 Altddio_out。Altddio_out 核是参数可配制的,并针对 Altera FPGA 结构进行了优化,在参考时钟的上升沿和下降沿发送数据。

差分输出时钟与参考时钟理论上相差 90°,在实际电路中用锁相环调整输出时钟的相位,抵

消内部电路和布线延时,使输出时钟在数据跳变的中心位置,确保接收电路的时序裕度。

3.3 显示时序转换

时序控制器的显示时序转换电路将外部输入的符合 VESA 标准的视频信号转化为显示屏工作所需的时序信号。为了提高时序控制器的通用性,采用 DE Only 控制方式,即仅使用外部视频信号的 DE 和 DCLK 两个时序信号来产生显示屏栅源驱动器所需的所有控制信号。

源驱动器主要信号的时序关系如图 7 所示。

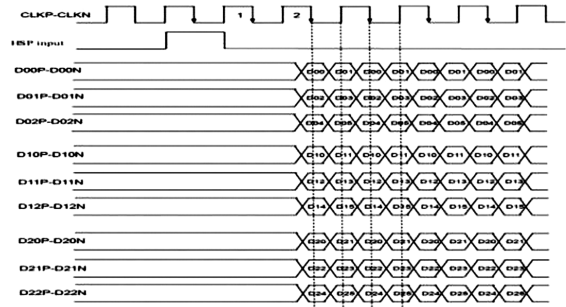


图 7 源驱动器主要信号的时序关系
Fig. 7 Timing sequence of source-driver's signals

与源驱动器相关的信号有:

- (1) HSP1/2: 源驱动器的启动脉冲输出或输入。
- (2) CLKN, CLKP: RSDS 标准的移位时钟。
- (3) DXXP, DXXN: RSDS 标准的视频数据。
- (4) STB: 数据锁存脉冲。
- (5) POL: 极性控制信号。
- (6) R/L: 左右移位方向控制。

栅极驱动器主要信号的时序关系如图 8 所示。

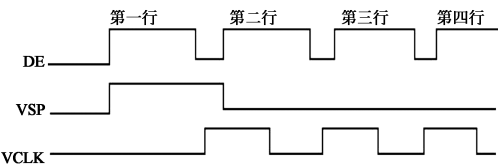


图 8 栅极驱动器主要信号的时序关系
Fig. 8 Timing sequence of Gate-driver's signals

与栅极驱动器相关的信号有:

- (1) VSP1/2: 栅驱动器的启动脉冲输出或输入。
- (2) VCLK: 栅驱动器的时钟。

(3) U/D: 上下移位方向控制。

3.4 驱动电压产生电路

时序控制器外部供电为直流 +3.3 V, 通过 DC/DC 变换, 产生 FPGA 工作所需的 +2.5 V、+1.2 V 以及液晶面板工作所需的 V_{DD1} (+3.3 V), V_{DD2} (+10 V), V_{GH} (+20 V), V_{GL} (-8 V)。GAMMA 电压有 14 路, 分别是 $V_{\gamma 1} \sim V_{\gamma 14}$, 1 路公共电极电压 V_{COM} , 采用 TI 公司的 BUF16821 来实现^[14]。BUF16821 是可编程的 GAMMA 电压发生器和 V_{COM} 校准器, 它能提供 16 条可编程 GAMMA 电压通道, 以及 2 路可编程 V_{COM} 电压通道。所有 GAMMA 和 VCOM 通道提供一个轨到轨输出, 此输出在 10 mA 负载时, 通常在任一电源轨的 150 mV 内摆动, 具有较高的精度。NiosII 软核通过一个 I²C 接口对所有通道进行编程, 最终的 GAMMA 和 VCOM 设定值可被存储在时序控制器上非易失性存储器中。

3.4.1 GAMMA 电压的设置

GAMMA 电压 $V_{\gamma 1} \sim V_{\gamma 7}$ 与 $V_{\gamma 8} \sim V_{\gamma 14}$ 以中点电压 V_{CM} 为中心在高低电压区对称分布, V_{CM} 固定设置为 V_{DD2} 的一半。NiosII 软核程序中以 7 个偏移量 $V_{1_offset} \sim V_{7_offset}$ 为变量来调整 14 组 GAMMA 电压。

GAMMA 电压值设定公式为:

$$V_{\gamma i} = V_{CM} + V_{i_offset}$$
$$V_{\gamma 15-i} = V_{CM} - V_{i_offset}$$
$$i = 1, 2, 3, 4, 5, 6, 7$$

通过对 7 组对称的 GAMMA 电压的设定, 使 LCD 面板满足 GAMMA=2.2 的要求。

如图 9 所示 GAMMA 电压与视频数据关系: $V_{\gamma 1}, V_{\gamma 14}$ 对应灰阶 00H, $V_{\gamma 2}, V_{\gamma 13}$ 对应灰阶 01H, $V_{\gamma 3}, V_{\gamma 12}$ 对应灰阶 10H, $V_{\gamma 4}, V_{\gamma 11}$ 对应灰阶 20H, $V_{\gamma 5}, V_{\gamma 10}$ 对应灰阶 30H, $V_{\gamma 6}, V_{\gamma 9}$ 对应灰阶 3EH, $V_{\gamma 7}, V_{\gamma 8}$ 对应灰阶 3FH。

GAMMA 为 2.2 时亮度与灰阶的关系为:

$$F(x) = L_{min} + (L_{max} - L_{min}) \times \left(\frac{x}{63}\right)^{2.2} \quad x \in [0, 63],$$

其中 x 为灰阶值, $F(x)$ 为其所对应的亮度, L_{max} 最高亮度值, L_{min} 最低亮度值。

我们先将信号源的灰阶设为最高 (3FH), 通过调整 V_{7_offset} 变量值使 LCD 面板达到最高亮度 L_{max} , 再将信号源的灰阶设为最低 (00H), 通过调整 V_{1_offset} 使 LCD 面板达到最低亮度 L_{min} 。确定

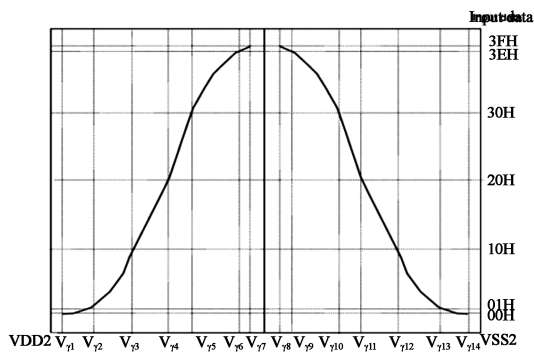


图 9 GAMMA 电压与视频数据关系^[1]
Fig. 9 Relationship between GAMMA voltages and image data

$L_{\max}$ 和 $L_{\min}$ 后便可以调整其他 GAMMA 电压的偏移量,使各灰阶亮度满足公式的要求,从而使 LCD 面板的 GAMMA 特征为 2.2。

3.4.2 V_{COM} 电压的设置

从理论上讲, V_{COM} 应设定在 GAMMA 电压的对称中心,即 V_{COM} 应等于中点电压 V_{CM} ,然而实际上 LCD 面板内的 TFT 寄生电容,会产生电压耦合效应,使像素电压在 TFT 关闭时,受到栅极电压变化的影响,而偏离由数据线所写入的电压。为了补偿这个电压变化, V_{COM} 必须调整到低于中点电压的某一值。

根据面板驱动的反转模式,采用如图 10 所示的按亚像素反转的测试画面作为显示信号源,PC 机通过串行口发送指令和参数给 NiosII 软核,通过一个 I²C 接口调整 V_{COM} 值,用专用仪器测量其“flicker”值,当画面的“flicker”值最小时 V_{COM} 值为最佳值。

GAMMA 电压和 V_{COM} 电压的设置参数值被存入可掉电保存的存储器中。在上电复位后被读出来设定 GAMMA 电压和 V_{COM} 电压。

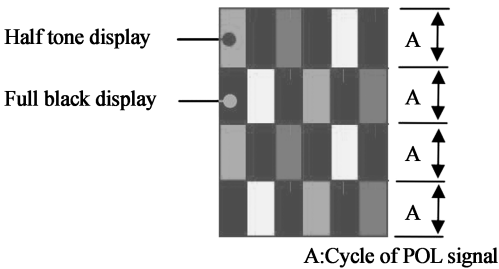


图 10 “flicker”测试画面
Fig. 10 Image for flicker testing

4 BIT 检测电路设计

为了提高时序控制器的可检测性,设计了若干嵌入式检测电路。检测状态可通过 NiosII 软核经由串行通讯口送出。

4.1 外部视频信号有效性检测

为了提高 LVDS 解码电路的可靠性,在图 3 所示电路的 TEST_VIDEO 模块中设计了外部视频检测电路,通过检测外部输入的 DCLK 和 DE 信号的频率来判断外部视频信号有效性。当外部视频中的 DCLK 和 DE 的频率特征符合 VESA 标准时序时,便判定为有效视频,不符合则判外部视频失效,并置标志位,供软核读取,此时将内部产生的蓝底“无信号”白字视频的警示信息切换至视频数据处理电路,通过时序控制电路在 TFT 液晶面板上显示,并同时定时复位锁相环,以保证定时判断 DCLK 和 DE 信号的频率,当满足标准时,TFT 液晶面板恢复显示外视频。

实际应用中在极端低温环境下,PLL 常失锁且不能恢复,造成显示器显示失效,该电路的应用保证了显示屏的可靠性。

4.2 驱动电路工作状态检测

在液晶面板的栅源驱动电路中都有一组双向移位寄存器,寄存器的位数与所控制的行列驱动线条数一致,栅驱动电路中有 768 个寄存器,源驱动电路中有 $1\,024 \times 3$ 个寄存器。移位寄存器的数据端接行列启动脉冲,双向移位寄存器的移位方向分别决定了显示屏的左右倒向和上下倒向显示。驱动电路按照特定的时序运行,栅驱动电路的启动脉冲频率与场频一致,移位时钟为行同步脉冲,移位寄存器周而复始地逐条开启/关闭扫描线,在逐行扫描 768 行后,移位寄存器末端输出被送入到时序控制电路。源驱动电路的启动脉冲频率与行频一致,移位时钟为数据时钟,移位寄存器重复逐条开启/关闭数据锁存器,使数据锁存器顺次接收显示数据,在逐点扫描 1 024 点后,移位寄存器末端输出被送入到时序控制器。

从上分析可知,栅源驱动电路在正常工作时都会输出一个与行列启动脉冲频率一致,相位相异的信号到时序控制器,通过检测此信号的有无便能知悉面板驱动电路是否正常工作。

5 设计结果

我们所设计的时序控制器连接 LCD 面板的产品实物图如图 11 所示,PC 机上运行的调试软件界面如图 12 所示。



图 11 TCON 产品实物图
Fig. 11 Performance of the TCON board



图 12 调试软件界面图
Fig. 12 Interface of debug software

使用本文所述的时序控制器后,液晶显示面板的主要光电性能指标如表 1。

表 1 主要光电参数

Tab. 1 Major optical parameters

参数	数值
透过率	$\geq 4.1\%$
对比度	$\geq 750:1$
色域	76.6% NTSC
灰阶	每色 253 级
GAMMA 特性	灰阶亮度曲线与 GAMMA=2.2 的曲线吻合
功耗	$\leq 2W$

6 结 论

使用该时序控制器,液晶显示面板的灰阶体现正确,画质稳定,功耗比常规产品要低。

时序控制器所具有的嵌入式检测功能,提高了产品的可检测性;采用数字编程的 GAMMA 及 V_{COM} 电压,数据位达 10 bit,调整精度高,稳定性可以得到充分保证。

时序控制器还可由跳线设定转入显示其自产生的老练画面,简化了产品老练工序。

时序控制器所有元器件、原材料均按工业级标准严格选用、筛选,设计上充分考虑参数的冗余度,核心芯片采用了工业级 FPGA 作为主控芯片进行设计,提高了可靠性,经实验验证,产品可以在 $-55\sim+75\text{ }^{\circ}\text{C}$ 的温度范围内稳定工作,具有良好的环境适应性。

该时序控制器已广泛应用在轮船、车辆、飞行器使用的各种液晶显示设备中,其集成度高、功耗低,结构简单等特点,获得了较高的使用价值。

参 考 文 献:

[1] NLT Technologies, Ltd. NL10276HC20-39 Preliminary Data Sheet[CD]. USA; NEC, 2012.

[2] 金强宁,洪乙又,李慧芝,等. 基于 mini-LVDS 技术的 TFT-LCD 彩色液晶显示屏的驱动研究及应用 [J]. 光电子技术, 2009, 29(3): 196-200.

Jin Q N, Hong Y Y, Li H Z, *et al.* The application and study of Color TFT-LCD panel driver based on mini-LVDS technology [J]. *Optoelectronic Technology*, 2009, 29(3): 196-200. (in Chinese)

[3] 刘杰,程松华,张永栋,等. 基于 Mini-LVDS 技术的 TFT-LCD 时序控制器的设计 [J]. 液晶与显示, 2014, 29(2): 238-244.

Liu J, Cheng S H, Zhang Y D, *et al.* Design of TFT-LCD timing controller based on mini-LVDS technology [J].

- Chinese Journal of Liquid Crystals and Displays*, 2014, 29(2): 238-244. (in Chinese)
- [4] 戴亚翔. TFT LCD 面板的驱动与设计[M]. 北京:清华大学出版社,2008:42.
Dai Yaxiang. *Design and Operation of TFT LCD Panel*[M]. Beijing: Tsinghua University Press,2008:42. (in Chinese)
- [5] 杨军,张伟平,赵嘎,等. 面向 SOPC 的 FPGA 设计与应用[M]. 北京:科学出版社,2012.
Yang J,Zhang W P,Zhao G,*et al.* *FPGA Design and Application for the SOPC*[M]. Beijing: Science Press, 2012. (in Chinese)
- [6] 宋跃,卢俊平,雷瑞庭,等. 基于 Nios II 的液晶屏控制器 SOPC 设计 [J]. 液晶与显示,2014,29(1):48-54.
Song Y,LU J P,Lei R T,*et al.* SOPC design on LCD controller based on Nios II [J]. *Chinese Journal of Liquid Crystals and Displays*, 2014, 29(1): 48-54. (in Chinese)
- [7] 刘东华. Altera 系列 FPGA 芯片 IP 核详解[M]. 北京:电子工业出版社,2014:344-365.
Liu D H. *Altera IP core series FPGA Chip Comments*[M]. Beijing: Electronic Industry Press,2014: 344-365. (in Chinese)
- [8] VESA. TV Panels Standard[S]. USA: VESA, 2006.
- [9] JEIDA. JEIDA-59-1999 Digital Interface Standards for Monitor[S]. *Japan: JEIDA*, 1999.
- [10] 陈建军,周旭,张小芸. 感应灰阶的产生技术及其在液晶显示器上的应用 [J]. 光电子技术,2013,33(2):113-114.
Chen J J,Zhou X,Zhang X Y. An algorithm of spatial grey-scale and application for liquid crystal display [J]. *Optoelectronic Technology*,2013,33(2):113-114. (in Chinese)
- [11] Limb J O. Design of dither waveforms for quantized visual signals [J]. *Bell System Technical Journal*, 1969, 48: 2555-2582.
- [12] Floyd R W,Inberg L S. An Adaptive Algorithm for spatial grey scale[C]. *Proceedings of the SID*, Los Angeles, 1976, 17(2):75-77.
- [13] Robin S H. Process for producing shaded colored images using dithering techniques; USA, 5757347[P]. 1998-05-26.
- [14] Texas Instrument Incorporated. Programmable Gamma_voltage generor and Vcom calibrator with integrated two-bank memory[CD]. USA:TI,2011.

作者简介:陈建军(1966—),男,江西高安人,高级工程师,长期从事图像处理方面的研究。E-mail:nedichen@aliyun.com
金强宁(1962—),男,江苏南京人,研究员,长期从事平板显示、光电子技术方面的研究。E-mail:jqn2004@126.com(联系人)
章鹏(1987—),男,安徽滁州人,硕士,助理工程师,从事平板显示技术方面的研究。E-mail:zpzone5971@163.com
刘凯丽(1988—),女,江苏泰州人,硕士,助理工程师,从事平板显示技术方面的研究。E-mail:kelly07050505@126.com